

마스터 인터페이스 간략화를 위한 트랜잭션 제약 기능 내장의 AXI 스위치 설계

이상택

전민제

노종호

조준동*

정의영

연세대학교 전기전자공학과

*성균관대학교 정보통신공학부

요약

AMBA3 AXI protocol provides prominent performance improvement compared to AMBA2 AHB by providing parallel transactions and multiple outstanding transactions. Especially the multiple transaction feature effectively improves the bandwidth utilization by hiding the slave latency. However, the interface design of IPs and AXI switches becomes complicate, since they have to perform the synchronization for the number of issued transactions. We propose a method to reduce the design complexity of IP interface logic by embedding a *transaction-blocking* logic into AXI switches, which manages the number of active transactions by automatically handling the handshaking signals when the number of active transactions reaches the maximum value. We implemented the AXI switch with this feature and verified it with commercial verification IPs, and also show the overhead of the transaction-blocking logic.

1. 서론

칩내에 점점 많은 IP 블록들이 집적되면서 이들간의 데이터 통신이 시스템 성능의 병목(bottleneck)으로서 작용하게 되었다 [1]. AMBA2 AHB는 제한된 채널수와 다중 트랜잭션 미지원 등으로 향후 AMBA3 AXI 프로토콜이 이를 대체할 것으로 보이며, 이미 고성능 및 실시간을 요구하는 많은 멀티미디어 기기들에 사용되어지고 있다. AXI는 다중 채널을 이용해 read/write를 동시에 처리할 수 있을 뿐 아니라 같은 채널 상에서도 *transactionID*를 이용하여 동시에 다중 트랜잭션(multiple outstanding transaction) 전송을 수행할 수 있다. 다중 트랜잭션은 슬레이브의 지연 시간, 예를 들어 DRAM의 접근 시간 등을 감출 수 있는 장점이 있다. 기출시된 상용 솔루션들은 스위치/IP 인터페이스에 다중 트랜잭션을 위한 로직을 포함/요구하고 있는데 [4][5] 이것은 한편으로는 비용을 상승시키는 요인이 되기도 한다. 따라서 본 논문에서는 마스터 IP 인터페이스에서 이와 관련된 로직을 제거할 수 있도록 스위치의 마스터포트(마스터 IP와 연결되는 포트)에 트랜잭션 제약(*transaction-blocking*) 기능을 내장하고, 이 기능을 내장한 마스터 포트

의 개수와 스위치의 비용간의 관계를 실험 결과를 통해 제시한다.

2. 핸드셰이킹 신호를 이용한 트랜잭션 제약 기능

AXI 프로토콜의 4비트의 ID 신호들을 이용해 마스터는 채널별로 최대 16개의 트랜잭션을 한꺼번에 발생시킬 수 있다. 그러나 효율 및 비용 측면에서 트랜잭션의 개수를 제약하는데, 이 정보는 IP 인터페이스와 스위치 포트에 모두 저장되어야 한다. 이로 인해 스위치뿐만 아니라 IP 인터페이스에도 하드웨어적인 오버헤드가 된다. 우리는 이러한 이중적인 하드웨어 부담을 줄이고, 또한 연산·통신 분리 [2] (decoupling of computation and communication)에 의한 IP 설계의 용이성을 높이기 위해 프로토콜의 핸드셰이킹(handshaking) 신호만을 이용하여 마스터에서 발생하는 트랜잭션 수를 제약할 수 있도록 하였다. 이러한 트랜잭션 제약 기능의 추가로 인해 다음과 같은 효과들을 기대할 수 있다.

- 마스터 인터페이스 설계의 부담을 줄일 수 있다. 스위치의 포트가 현재 해당 마스터의 활성(active) 트랜잭션의 개수를 모니터링하여 최대치에 도달했을 경우 자동으로 마스터가 슬레이브로부터 받는 핸드셰이킹 신호 (ARREADY, AWREADY)를 0으로 만들어 마스터가 더 이상의 트랜잭션을 발생시키지 못하도록 한다. 따라서 마스터의 인터페이스에는 기본적인 핸드셰이킹 신호만 필요하며 다중 트랜잭션 수를 모니터링 혹은 제어하는 하드웨어가 필요 없게 된다.
- 시스템의 트래픽 관리가 용이해진다. 스위치에서 시스템 전체의 트래픽 상태를 모니터링 할 수 있다면, 그에 따라 최대 트랜잭션 개수를 동적으로 조절함으로써 연결망에 과중한 트래픽이 가해지는 상황이나 특정 경로의 지연 시간이 지나치게 길어지는 것을 방지할 수 있다.

또한 우리는 이러한 다중 트랜잭션 제어 기능이 필요 없는 포트 (예를 들어 단일 트랜잭션만 가능한 마스터에 연결된 포트)에 대해서는 이러한 로직을 제거함으로써 스위치의 면적을 절약할 수 있게 하였다. 뿐만 아니라, 하나의 마스터 포트에 이 기능을 추가함으로써 발생하는 하드웨어 오버헤드를 합성된 결과를 통해 제시함으로써 시스템 비용 예측 및 구조 탐색에 응용할 수 있게 하였다.

* 본 논문은 정보통신부의 출연금 등으로 수행한 정보통신연구개발사업, 과학기술부 기초과학연구사업 특정기초연구, IDEC(IC Design Education Center)의 지원으로 수행되었습니다.

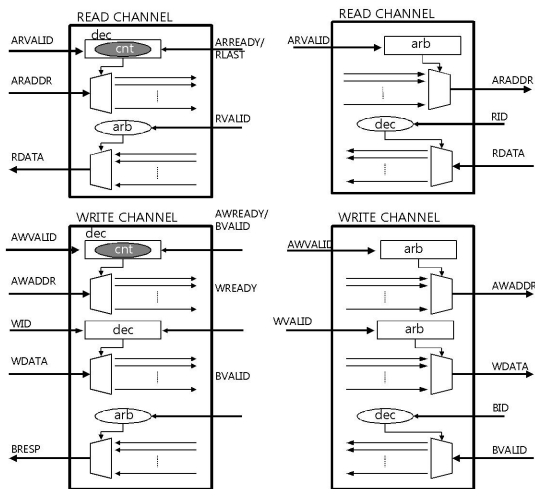
3. AXI 크로스바 스위치 구조 및 설계

설계된 AXI 인터커넥트는 충분한 성능을 낼 수 있도록 크로스바 스위치 구조로 설계되었다 [3]. 각 포트 및 포트 내의 중요 부분은 모듈화되어 필요한 시스템 크기에 따라 포트 수를 쉽게 증감할 수 있도록 하였다. 각 포트는 해당 IP가 전송하는 트랜잭션의 목적지를 알려주는 디코더와, 이에 따라 그 트랜잭션을 목적지로 전송해주는 출력 라우터, 그리고 여러 개의 동시적인 접속이 요청되었을 때 이를 제어해주는 중재기(arbiter), 그리고 중재기의 선택에 따라 신호를 받아들이는 선택기(selector)로 구성되어 있다. 트랜잭션 제약 기능은 이 중 마스터포트의 주소 채널 디코더 안에 내장되며, 슬레이브는 마스터에 의해 발생된 트랜잭션에만 응답하기 때문에 슬레이브포트에는 포함되지 않는다.[그림1, 2]

그림 2는 트랜잭션 제약 기능이 포함된 주소 채널 디코더의 구조이다. Read 와 write 채널 별로, ARVALID/AWVALID 신호가 디코더로 입력되면 트랜잭션 카운터는 1씩 증가하고 RLAST/BVALID 신호를 받으면 1씩 감소한다. 만약 트랜잭션 카운터가 사용자가 입력한 최대 트랜잭션 수에 도달하게 되면 Cntrl_sig를 이용하여 마스터가 실제 보내고 있는 VALID 신호가 아닌 0을 출력하여 슬레이브들로 전달한다. 마스터의 VALID 신호로 버스 요청의 유무를 판단하는 슬레이브 포트의 중재기는 따라서 그 마스터에게 버스 사용권을 주지 않게 되고 READY 신호를 0으로 전달한다. 결과적으로 AXI 핸드셰이킹 방식에 의해 마스터는 새로운 트랜잭션을 진행하지 못하고 대기하게 된다.

4. 합성 결과

트랜잭션 제약 기능 추가에 의한 하드웨어 오버헤드를 알아보기 위해 설계된 RTL코드를 0.18 μ m 공정 라이브러리를 이용해 합성하였다. 합성 결과 임계 경로 지연 시간은 영향을 받지 않았고, 면적의 경우 그림 3에 보이듯이 하나의 마스터포트에 이 기능을 추가할 때마다 약 900 gate count만큼이 증가하였다. 3x3 스위치의 경우 모든 마스터포



(a) 마스터포트 (b) 슬레이브포트

그림 1. 마스터/슬레이브 포트의 read/write 채널 구조

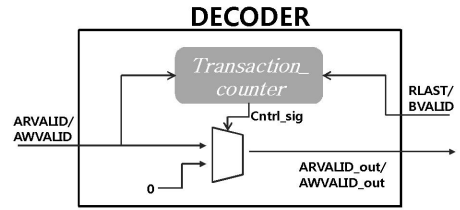


그림 2. 트랜잭션 제약 기능이 추가된 디코더 구조

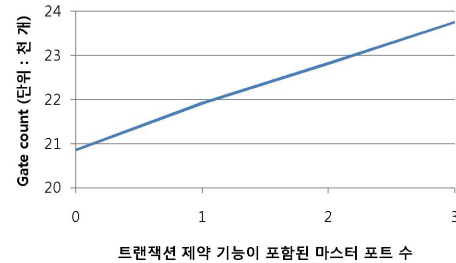


그림 3 트랜잭션 제약 기능 추가에 따른 스위치 면적 상승

트레이 기능을 추가했을 때 전혀 추가하지 않았을 때보다 대략 11%정도 면적이 증가했다. 그러나 이는 마스터 IP 인터페이스의 간략화로 인해 상쇄될 것이기 때문에 전체 시스템에서는 오버헤드로 작용하지 않을 것이다.

4. 결론

트랜잭션 제약 기능이 추가된 AXI 크로스바 스위치의 장점은 마스터 IP 인터페이스의 간략화를 가능하게 하여 연산·통신 분리를 더욱 강화한다. 또한 우리는 이런 기능을 포트 별로 선택적으로 추가할 수 있게 함으로써 불필요한 하드웨어 비용 증가를 방지하였을 뿐 아니라, 설계과정에서 미리 비용을 예측, 최적화할 수 있도록 제안된 기능 추가에 따른 하드웨어 비용 증가 추이를 제시하였다. 설계된 AXI 스위치의 합성 결과는 제시된 기능의 추가에 따른 성능 감소는 없으며, 다만 면적이 증가하지만 이는 마스터 IP 인터페이스의 간략화로 상쇄되어질 것이다. 결과적으로, 하드웨어적인 오버헤드 없이 마스터 IP 설계를 용이하게 하고, 스위치에서의 동적 트래픽 조절을 가능하게 한다.

참고 문헌

1. U. Y. Ogras, J. Hu, R. Marculescu, "Communication-centric SoC design for nanoscale domain", *ASAP'05*, pp. 73-78
2. A. Radulescu, J. Diellissen, K. Goossensm E. Rijpkema, P. Wielage, "An efficient on-chip network interface offering guaranteed services, shared-memory abstraction, and flexible network configuration", *IEEE Trans. on CAD 2005*, vol. 24, pp. 4-17
3. M. Loghi, F. Angiolini, D. Bertozzi, and L. Benini, "Analyzing On-Chip Communication in a MPSoC Environment", *DATE'04*, vol. 2, pp. 752-757
4. ARM, www.arm.com
5. Synopsys, Using the DesignWare Verification Models for the AMBA3 AXI Protocol, <http://synopsys.com>